Министерство образования и науки Украины

Севастопольский национальный технический университет

Кафедра

Кибернетики и

Вычислительной техники

Пояснительная записка к курсовому проекту

по дисциплине «Цифровые ЭВМ»

на тему:

«СИНТЕЗ ЦЕНТРАЛЬНОГО ОБРАБАТЫВАЮЩЕГО УСТРОЙСТВА ЦЭВМ»

Выполнил: студент гр. М-41д

Палий А. А.

Вариант №12

Проверил: профессор

Апраксин Ю.К.

Севастополь

2010

**Содержание**

[Введение 3](#_Toc278160389)

[1 Постановка задачи 4](#_Toc278160390)

[2 Описание форматов команд 8](#_Toc278160391)

[2.1 Форматы данных 8](#_Toc278160392)

[2.2 Описание форматов команд 9](#_Toc278160393)

[3 СОДЕРЖАТЕЛЬНАЯ ГСА ФУНКЦИОНИРОВАНИЯ ЦОУ 12](#_Toc278160394)

[4 СТРУКТУРНАЯ СХЕМА ЦОУ 13](#_Toc278160395)

[5 АРХИТЕКТУРА ВНЕШНИХ ВЫВОДОВ ПРОЦЕССОРНОГО БЛОКА 18](#_Toc278160396)

[6 СИНТЕЗ УА 19](#_Toc278160397)

[6.1 Структурная схема УА 19](#_Toc278160398)

[6.2 Адресация микрокоманд 20](#_Toc278160399)

[6.3 Кодирование микроопераций 20](#_Toc278160400)

6.4 Микропрограмма  [20](#_Toc278160401)

7 РАЗРАБОТКА ПРИНЦИПИАЛЬНОЙ СХЕМЫ УА  [21](#_Toc278160402)

8 ОПРЕДЕЛЕНИЕ ВРЕМЕННЫХ ХАРАКТЕРИСТИК И МОДЕЛИРОВАНИЕ РАБОТЫ

ЦОУ  [28](#_Toc278160403)

Заключение 31

Библиографический список 32

ПРИЛОЖЕНИЕ А 33

ПРИЛОЖЕНИЕ Б  [35](#_Toc278160404)

# Введение

Данная курсовая работа посвящена изучению принципов структурной и функциональной организации цифровых вычислительных машин и их узлов. Целью является практическое закрепление основных разделов дисциплины «Цифровые ЭВМ».

Объектом курсового проектирования является центральное обрабатывающее устройство (ЦОУ), реализующее заданную совокупность команд из системы команд абстрактной цифровой электронно-вычислительной машины (ЦЭВМ). Устройство управления будет организовано в виде управляющего автомата с программируемой логикой. Управляющий автомат с программируемой логикой строится на основе принципа микропрограммного управления, использующего операционно-адресную структуру управляющих слов (микрокоманд).

Устройство управления будет синтезировано в соответствии с заданной адресацией микрокоманд. Также будет составлена микропрограмма функционирования центрального обрабатывающего устройства.

# 1 постановка задачи

Объектом курсового проектирования является центральное обрабатывающее устройство (ЦОУ), реализующее заданную совокупность команд из системы команд абстрактной ЦВМ.

Предполагается, что проектированию подлежит процессор с традиционной принстонской архитектурой.

К функциям процессорного блока относятся:

- управление потоком обработки команд исполняемой компьютером программы;

- управление процессом исполнения команд;

- управление процессом взаимодействия всех блоков ЦОУ.

ЦОУ обеспечивает реализацию хранящейся в ОП программы, команды которой принадлежат ограниченному (в учебных целях) множеству типовых команд, исполняемых компьютером.

К ним относятся:

* арифметическая команда,
* логическая команда,
* команда пересылки данных (команда обмена данными между регистровой памятью (РП) процессора и (ОП),
* команда обращения к устройству ввода/вывода,
* команда передачи управления,
* команда «стоп».

Процессор, обеспечивающий исполнение каждой команды, должен:

1. осуществить выборку команды из ОП в строгом соответствии с форматом команды,
2. расшифровать код операции в команде,
3. выполнить расшифрованную операцию,
4. подготовить компьютер к выполнению следующей команды.

Обобщенная структурная схема процессора, в котором связь между составляющими этот процессор компонентами осуществляется через систему управляемых раздельных шин, приведена на рисунке 1.



Рисунок 1.1 – Обобщенная структурная схема процессора

На рисунке 1 используются следующие сокращения:

УУ – устройство управления;

ГСС – генератор синхросигналов,

АЛУ – арифметико-логическое устройство;

РП – сверхоперативная регистровая память;

СмА – сумматор адресный;

БУР – блок управляющих регистров, в числе которых:

* РК – регистр команд,
* СчАК – счетчик адреса команд,
* РПР – регистр признака результата,
* РКП – регистр кода прерывания (регистр флагов прерывания),
* ТП – триггер переходов;

БВР – блок внутренних регистров прямого доступа (ВР1, …, ВРk),

используемых для эффективной организации процесса исполнения команд;

ОСВ – внешние осведомительные сигналы;

УСВ – внешние управляющие сигналы;

Д – данные.

Исходные данные для курсового проектирования:

Перечень аппаратно поддерживаемых типов данных:

– I4 – 32-разрядные целые числа (данные для команды обращения к памяти);

– L8 – двоичный вектор длиной 8 байт (данные для логической команды);

– F8 – двоичный вектор длиной 8 байт (данные для арифметической команды).

Типы команд:

– Арифметическая команда – деление с плавающей точкой над векторами длиной 8 байт;

– Логическая команда – двойной логический сдвиг влево над вектором длиной 8 байт;

– Команда передачи управления – условный переход по счетчику;

– Команда обращения к памяти – пересылка данных размером 4 байта из регистра в оперативную память;

– Команда ввода/вывода – передача байта из МВВ в процессор;

– Команда «Стоп».

Способы адресации операндов в команде – непосредственная, прямая, косвенная, регистровая, относительная.

Основные характеристики ОП:

*  – емкость ОП в мегабайтах;
*  – ширина выборки (разрядность слова ОП в байтах);

Характеристики РП:

*  – емкость РП – определяется количеством регистров в блоке.
* Тип – универсальная регистровая память (один блок как для регистров общего назначения (РОН), так и для регистров, предназначенных для хранения чисел в формате с плавающей точкой (РПТ)).
* Разрядность регистра – 4 байта.

Тип устройства управления – управляющий автомат с программируемой логикой.

Способ адресации микрокоманд (МК) в микропрограммах (МП) – естественная адресация. Способ кодирования поля микроопераций (МО) в (МК) – вертикально-горизонтальный.

Графический материал состоит из следующих чертежей:

1. Граф-схема алгоритма функционирования центрального обрабатывающего устройства – чертеж.
2. Структурная схема центрального обрабатывающего устройства − чертеж.
3. Принципиальная схема устройства управления с перечнем элементов – чертеж.

# 2 Описание форматов ДАННЫХ и КОМАНД

## 2.1 Форматы данных

На рисунке 2.1 показаны основные структурные единицы данных, обрабатываемых проектируемым устройством (а) и форматы их представления в процессе обработки (б).

Целые числа могут быть представлены как со знаком (S), так и без знака (для представления адресов). Числа со знаком представляются в дополнительном коде. Диапазон представления целых чисел – [­2n, 2n­1], где n – количество разрядов числа без учета разряда знака.

Двоичные числа с плавающей точкой представляются в виде двух чисел с фиксированной точкой: порядка (Р) и мантиссы (М), при этом Р – целое со знаком, . В случае так называемой нормализованной мантиссы  для двоичной системы счисления. Диапазон представления чисел с плавающей точкой – .



Рисунок 2.1 – Форматы данных

## 2.2 Описание форматов команд

Будем считать, что проектируемое устройство, реализующее пять определенных вариантом задания команд, является фрагментом процессора, реализующего от 128 до 256 команд. Для облегчения процесса выборки команды из ОП все форматы команд будут кратны 2 байтам. Согласно методу целочисленных границ адрес команды в ОП должен быть кратен 2. Под поле код операции (КОП) в команде отводится 1 байт. При этом в поле КОП команды будем выделять три поля: КОП(0:1) – для кода формата команды (или кода длины команды), КОП(2:4) – для кода класса команды, КОП(5:7) – для номера команды в списке класса.

ЦОУ реализует следующие команды:

1) Деление чисел с плавающей точкой.

Способы адресации: регистровый для первого операнда, косвенный – для второго.

Длина команды – 4 байта: КОП(0:7); R1(8:10) – адрес РП, по которому хранится первый операнд; Ау(22:31) – укороченный адрес ячейки ОП, по которому хранится Аисп второго операнда; X(11:21)- неиспользуемые биты;

Команда формирует следующие флаги: переполнение порядка, исчезновение порядка, потеря значимости, нарушение адресации, нарушение спецификации.



2) Двойной логический сдвиг влево над вектором длиной 8 байт.

Способы адресации: регистровый для первого операнда, регистровый – для второго.

Длина команды – 2 байт: КОП(0:7); R1(8:10) – адрес РП, по которому хранится первый операнд; R2(13:15) – адрес РП, по которому хранится второй операнд.

Возможные признаки результата: равен нулю.

Команда формирует следующие флаги: нарушение спецификации.



3) Условный переход по счетчику.

Способ адресации – для первого операнда регистровый, для второго операнда прямой.

Длина команды – 6 байт: КОП(0:7); R1(8:10) – адрес РП, по которому хранится первый операнд; Аоп(21:47) – прямой адрес ОП, по которому хранится значение счетчика; X(11:20) – неиспользуемые разряды.

Возможные признаки результата: отсутствуют. Команда формирует следующие флаги: отсутствуют.



4) Пересылка данных из регистра в оперативную память.

Способ адресации: регистровый для первого операнда, относительный – для второго.

Длина команды – 4 байта: КОП(0:7); R1(8:10) – адрес РП, по которому хранится первый операнд; B(11:13) – адрес РП, по которому хранится базовый адрес ОП; D(16:31) – смещение; X(14:15) – неиспользуемые разряды.

Возможные признаки результата: отсутствуют. Команда формирует следующие флаги: нарушение спецификации и нарушение адресации.



5) Передача байта из УВВ в процессор.

Способ адресации: непосредственная.

Длина команды – 2 байта: КОП(0:7); НУВВ(8:15) –номер устройства ввода-вывода. Общее количество адресуемых УВВ – 256.

Возможные признаки результата: отсутствуют.

Команда формирует следующие флаги: отсутствуют.



6) Команда «СТОП».

Длина команды – 2 байта: КОП(0:7); X(8:15) – неиспользуемые разряды.

Завершает работу устройства. Флагов и прерываний не вырабатывает.



Для заданных команд подобраны все способы адресации. Для кодирования 0 и 1 бита КОП будет использована следующая схема:

00 -> 2 байта;

01 -> 4 байта;

10 -> 6 байт.

Сведем полученную систему команд в таблицу 2.1.

Таблица 2.1. Система команд

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Номер класса | Номер команды | Название | Содержание | ПР | Флаги | Код двоичный | | | h-код |
| 01 | 234 | 567 |
| 1 | 1 | Деление с ПТ | (R1) := (R1) / (Ау) | >0 <0 =0 | A,S, ППР, ИП, ПЗ | 01 | 001 | 001 | 49 |
| … | … | … | … | … | … | … | … | … | … |
| 2 | 1 | Сдвиг двойной влево | (R1) := (R1)<-2 | =0 | S | 00 | 010 | 001 | 17 |
| … | … | … | … | … | … | … | … | … | … |
| 3 | 1 | Условный переход по счетчику | (СчАК):=(Аоп), если R1-1=0 | нет | нет | 10 | 011 | 001 | 99 |
| … | … | … | … | … | … | … | … | … | … |
| 4 | 1 | Запись из регистра в ОП | ((B)+D) := (R1) | нет | A, S | 01 | 100 | 001 | 61 |
| … | … | … | … | … | … | … | … | … | … |
| 5 | 1 | Вывод из УВВ в процессор | (ПортД):= (НУВВ) | нет | S | 00 | 101 | 001 | 29 |
| … | … | … | … | … | … | … | … | … | … |
| 0 | 0 | Стоп | Стоп | нет | нет | 00 | 000 | 000 | 00 |

# 

# 3 Содержательная ГСА функционирования ЦОУ

Алгоритм работы ЦОУ должен обеспечивать выполнение следующих действий:

1. Выборка команды;
2. Выполнение команды;
3. Если обнаружены нарушения адресации или спецификации – сформировать прерывание;
4. Подготовиться к выборке следующей команды.

Если очередная команда Стоп, то ЦОУ прекращает работу. Упрощенная схема алгоритма функционирования ЦОУ представлена на рисунке 3.1.



Рисунок 3.1 – Упрощенная схема алгоритма функционирования ЦОУ

Длины команд составляют 2, 4 и 6 байт, а ширина выборки – 4 байта. Корректный адрес команды должен быть кратен 2, а его значение не превышать предельно допустимое, определяемое емкостью ОП. Содержательная ГСА функционирования ЦОУ приведена на чертеже 2010.M41д.12.01

# 4 Структурная схема ЦЕНТРАЛЬНОГО ОБРАБАТЫВАЮЩЕГО УСТРОЙСТВА

Структурная схема ЦОУ содержит следующие элементы:

1) АЛУ – арифметико-логическое устройство. Условное обозначение АЛУ показано на рисунке 4.1.



Рисунок 4.1 – Условное обозначение АЛУ

Двуместные операции в АЛУ выполняются над операндами, хранящимися в регистрах Р1 (первый операнд) и Р2 (второй операнд). Результат выполненной операции помещается в Р1. Разрядность регистров выбирается равной максимальной длине операндов. Так как аппаратно поддерживаются 64-разрядные числа в формате с плавающей точкой, то разрядность регистров АЛУ составляет 64 разряда.

На вход УУ поступают сигналы, инициирующие следующие операции: деление чисел с плавающей точкой (ДелПТ), двойной логический сдвиг влево (Сдв).

АЛУ вырабатывает три группы осведомительных сигналов: признаки результата (больше, меньше, равно нулю, не равно нулю), флаги прерываний (переполнение порядка, нарушение значимости, исчезновение порядка), признак занятости (ZАЛУ).

2) Регистровая память (РП) - организуется как сверхоперативная память с прямой адресацией. РП допускает выборку слова в течение одного такта. Тип РП – универсальная, регистры общего назначения (РОН) и регистры данных формата с плавающей точкой (РПТ) объединены в один блок. Условное обозначение блока РП показано на рисунке 4.2.



Рисунок 4.2 – Условное обозначение РП

Разрядность регистра слова регистровой памяти (РСРП) определяется длиной информационного слова. Для проектируемого устройства разрядность равна 32. Разрядность регистра адреса регистровой памяти (РАРП) определяется как ⎡log2EРП⎤, где EРП – количество регистровых схем в блоке памяти. Следовательно разрядность РАРП равна ⎡log216⎤ = 4. На входы РП поступают сигналы, инициирующие следующие операции: запись в РП (ЗпРП), чтение из РП (ЧтРП).

3) Регистр команд (РК) – хранит текущую команду в соответствии с разработанными форматами команд (рисунок 4.3). На РК выбирается из ОП команда, подлежащая исполнению. Разрядность РК определяется максимальной длиной формата команды, то есть 48 разрядов.



Рисунок 4.3 – Условное обозначение регистра команд

1. Счетчик адреса команды (СчАК) - предназначен для хранения адреса очередной выбираемой из ОП команды. Обеспечивает адресацию к любому байту ОП. Его разрядность определяется как ⎡log2EОП⎤ = ⎡log2512⎤ = 29. При этом, младшие k = ⎡log2ШВ⎤ = ⎡log24⎤ =2 разрядов определяют адрес байта в слове, а старшие разряды (27) – адрес слова ОП. Структура СчАК приведена на рисунке 4.4.



Рисунок 4.4 – Структура СчАК

5) ОП – оперативная память. Исходя из разрядности адреса двойного слова (слова ОП) выбирается разрядность регистра адреса ОП (АОП), то есть его разрядность составляет 26 разряда. Обращение к РАОП производится через ПортА. Разрядность слова ОП (СОП) равна разрядности слова (так как ШВ 4 байт), то есть 32 разряда. Обращение к СОП производится через ПортД. Условное обозначение ОП приведено на рисунке 4.5.



Рисунок 4.5 – Условное обозначение ОП

На вход ОП поступают сигналы, инициирующие следующие операции: чтение из ОП (ЧтОП), запись в ОП (ЗпОП).

ОП вырабатывает один осведомительный сигнал – признак занятости (ZОП).

1. Сумматор адреса (СмА) – предназначен для вычисления исполнительного адреса (АИСП) в случае его задания в виде нескольких компонент ( при относительной адресации АИСП=(B)+D). По разрядности СмА отличается от СчАК дополнительным старшим разрядом, фиксирующим переполнение. То есть разрядность СмА составляет 30 разрядов (рисунок 4.6).



Рисунок 4.6 – Условное обозначение СмА

7) Триггер перехода (ТП) – сбрасывается в нулевое состояние, если исполняемая команда относится к группе команд обработки данных, и устанавливается в 1 в случае формирования адреса перехода при исполнении команды передачи управления. Учет состояния ТП требуется при выборке команд из ОП.

8) Разрядность регистра признака результата (РпР) составляет 2 разряда, так как на АЛУ вырабатывается 4 признака, для кодирования которых необходимо 2 разряда.

9) Регистр флагов имеет разрядность 3, так как на АЛУ формируется три флага. Соответствующий разряд устанавливается в 1 в случае формирования соответствующего флага.

10) Для уменьшения числа обращений к ОП в процессе выборки команды, в структурную схему процессора вводится буферный регистр - БР.

Поскольку ШВ=4, то его разрядность следует выбрать равной 16 разрядов.

11) Процессор обменивается данными с 255 внешними устройствами. На адресные входы МВВ поступает номер устройства ввода-вывода. Для задания номера устройства требуется 8 разрядов. Условное обозначение модуля ввода-вывода приведено на рисунке 4.7.



Рисунок 4.7 – Условное обозначение модуля ввода-вывода

На вход МВВ поступает сигнал, инициирующий следующую операцию – передача байта из МВВ в процессор (МП).

МВВ вырабатывает один осведомительный сигнал – признак занятости (ZВВ).

12) Флаг нарушения адресации (А) устанавливается в единичное состояние, если обнаружено нарушение адресации.

13) Флаг нарушения спецификации (S) устанавливается в единичное состояние, если обнаружено нарушение спецификации.

14) Флаг прерывания K (резервная команда) устанавливается в единичное состояние, если код выбранной на РК команды не совпадает с кодом ни одной из реализованных команд.

15) RS – регистр состояния. Предназначен для сохранения словосостояния во время исполнения команды перехода. Размер – 8 байт.

16) PSW – программное словосостояние. Содержит необходимую информацию для работы процессора над текущей задачей. Размер – 8 байт.

Структурная схема ЦОУ приведена на чертеже 2010.М41.12.02.

# 5 Архитектура внешних выводов процессорного блока

Процессор имеет 25 внешних выводов адреса (Аi) и 32 внешних выводов данных (Di). Выводы RD, WR, IN, OUT используются соответственно для сигналов «чтение» (ЧтОП), «запись» (ЗпОП), «ввод» (МП) и «вывод» (ПМ). Контакт READY1 (готовность) используется для приема сигнала готовности ZОП от медленного внешнего по отношению к процессору ОП. Контакт READY2 используется для приема сигнала готовности ZВВ от медленного внешнего по отношению к процессору устройства МВВ. Вывод +5V используется для питания, GND – земля, RESET – сброс, SET – установка, CLC – синхронизация.

Обобщенное условное графическое обозначение процессорного блока приведено на рисунке 5.1.

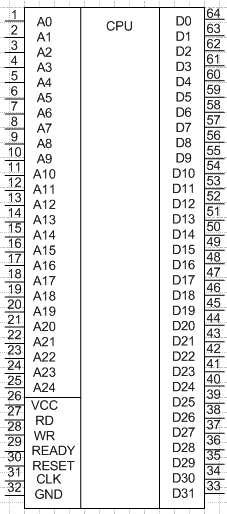


Рисунок 5.1 – УГО ЦОУ

# 6 Синтез управляющего автомата

## 6.1 Структурная схема УА

Характерной особенностью УА с программируемой логикой является хранение МП в специализированном постоянном запоминающем устройстве (ПЗУ), называемом памятью микропрограмм (ПМП). Обобщенная структура УА с хранимой в памяти логикой изображена на рисунке 6.1.



Рисунок 6.1 – Структура УА с принудительной адресацией

Память микропрограмм (ПМП) организована в виде ПЗУ. В качестве АМК используется регистр. Пуск автомата осуществляется подачей в схему управляющего сигнала **В**, разрешающего подачу тактирующих сигналов на ПМП, останов – подачей управляющего сигнала **А**. Сигнал Сброс или Уст (установка) устанавливает на СчАМК адрес начальной микрокоманды в микропрограмме. Управляющий сигнал ЧтМК выбирает из ПМП на регистр МК (РМК) очередную МК. Схема формирователя сигналов МО (ФСМО) расшифровывает поле МО и вырабатывает управляющие сигналы, инициирующие выполнение процессором конкретной МК. Формирователь адреса, сравнивая поле ЛУ в МК с двоичным вектором осведомительных сигналов (x1, x2,…,x26), принимает решение о передаче кода на СчАМК.

## 6.2 Адресация микрокоманд

При естественной адресации предполагается использование двух различных форматов МК: **В.М** – для операционных МК и   **В.Х.А** – для управляющих МК. Здесь В, М, Х, А – поля микрокоманд: В – одноразрядное поле бит-маркера (В=0 для операционных МК и В=1 для управляющих МК), М – поле для представления кода МО, включенных в МК, Х – поле кода (номера) проверяемого логического условия, А – поле адреса МК, исполнение которой осуществляется в случае истинности проверяемого логического условия.

## 6.3 Кодирование микроопераций

При вертикально-горизонтальном способе кодирования МО, все множество МО разбивается на несовместимые подмножества совместимых микроопераций. Строят полные подграфы совместимых МО, обеспечивают несовместимость МО соответствующих подграфов между собой и непосредственно кодируют.

Получают МО двух групп – универсальная группа, которая кодируется по горизонтальному принципу и все остальные группы, которые уже кодируются по вертикальному способу.

Разобьем все микрооперации на подмножества совместимых (приложение А) и объединим их в группы по 4 (максимально) микрооперации.

Первые 9 разрядов закодированной МО будут иметь горизонтальный принцип кодирования, с 9 по 12 – вертикальный принцип, где с 13 по 16 разрядами будет производиться выбор подмножества совместимых МО.

## 6.4 Микропрограмма

Микропрограмма функционирования УА представлена в приложении Б.

7 РАЗРАБОТКА ПРИНЦИПИАЛЬНОЙ СХЕМЫ УА

Память микропрограммы имеет размерность 129х17. Для реализации ПМП была взята ИМС К155РЕ3. Микросхема представляет собой электрически программируемое, посредством пережигания плавких перемычек постоянное запоминающее устройство (ППЗУ) емкостью 256 бит (32x8). Для реализации ПМП потребуется 9 микросхем К155РЕ3.

Регистр микрокоманд разрядностью 17 бит реализован на трех восьмиразрядных регистрах К155ИР13.

Счётчик адреса микрокоманд, имеющий разрядность 8 бит реализован на двух четырёхбитных двоичных счётчиках К155ИЕ7.

Для формирования сигнала логического условия использованы два шестнадцатиразрядных мультиплексора К155КП1.

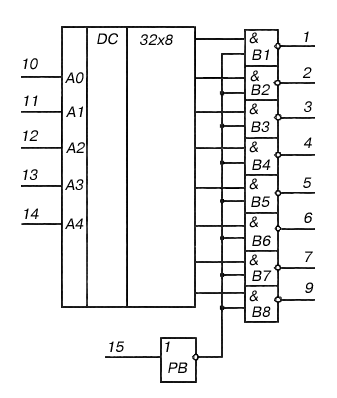
Для дешифрации старших разрядов адресов и номеров подгрупп используются дешифраторы К155ИД3, К155ИД4.

Комбинационная часть УУ, формирующая управляющие сигналы yi, а также сигналы тактирования и разрешения реализована микросхемами К155ЛА3, К155ЛИ1, К155ЛЛ1 и К155ЛН1.

Принципиальная схема устройства управления представлена на чертеже 2010.М41д.12.03.

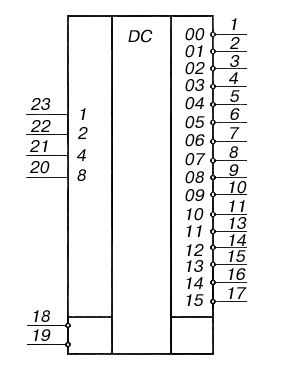
Условные графические обозначения и характеристики использованных элементов:

1. К155РЕ3 –электрически программируемое ПЗУ емкостью 32х8.



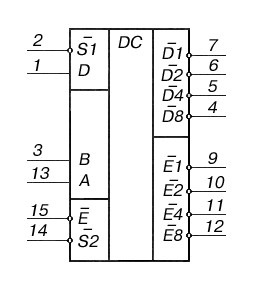
1 - выход B1; 9 - выход B8;  
2 - выход B2; 10 - вход адресный A0;  
3 - выход B3; 11 - вход адресный A1;  
4 - выход B4; 12 - вход адресный A2;  
5 - выход B5; 13 - вход адресный A3;  
6 - выход B6; 14 - вход адресный A4;  
7 - выход B7; 15 - вход разрешения выборки PB;  
8 - общий; 16 - напряжение питания;

1. К155ИД3 – Дешифратор – демультиплексор 4 линии на 16.



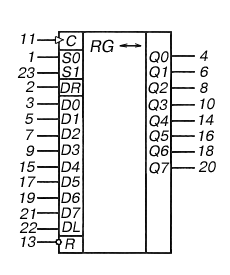
1 - 11 - выходы Y1 - Y11;   
13 - 17 - выходы Y12 - Y16;   
12 - общий;   
18, 19 - стробирующие входы;   
24 - напряжение питания;   
20 - 23 - информационные входы;

1. К155ИД4 – Сдвоенный дешифратор-демультиплексор.



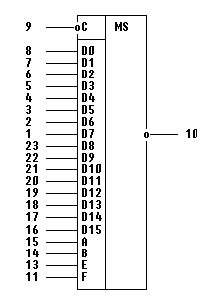
1 - информационный вход D; 9 - выход E1;  
2 - стробирующий вход S1; 10 - выход E2;  
3 - адресный вход B; 11 - выход E4;  
4 - выход D8; 12 - выход E8;  
5 - выход D4; 13 - адресный вход A;  
6 - выход D2; 14 - стробирующий вход S2;  
7 - выход D1; 15 - информационный вход E;  
8 - общий; 16 - напряжение питания;

1. К155ИР13 – восьмиразрядный реверсивный сдвиговый регистр.



1 - вход режимный S0;  
2 - вход последовательного ввода информации при сдвиге вправо DR;  
3 - вход информационный D0;  
4 - выход Q0; 5 - вход D1;  
6 - выход Q1; 7 - вход D2;  
8 - выход Q2; 9 - вход D3;  
10 - выход Q3;  
11 - вход синхронизации С;  
12 - общий;  
13 - вход инверсный "сброс" R;  
14 - выход Q4; 15 - вход D4;  
16 - выход Q5; 17 - вход D5;  
18 - выход Q6; 19 - вход D6;  
20 - выход Q7; 21 - вход D7;  
22 - вход последовательного ввода информации при сдвиге влево DL;  
23 - вход режимный S1;  
24 - напряжение питания;

1. К155КП1 – Селектор-мультиплексор данных на 16 каналов со стробированием.



1 - вход информационный D7;  
2 - вход информационный D6;  
3 - вход информационный D5;  
4 - вход информационный D4;  
5 - вход информационный D3;  
6 - вход информационный D2;  
7 - вход информационный D1;  
8 - вход информационный D0;

9 - стробирующий вход; 10 - выход;  
11 - вход адресный F;

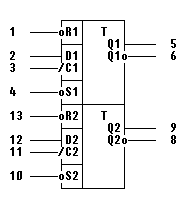
12 - общий;

13 - вход адресный E;

14 - вход адресный B;

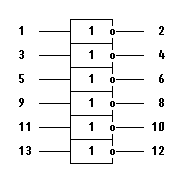
15 - вход адресный A;  
16 - вход информационный D15;  
17 - вход информационный D14;  
18 - вход информационный D13;  
19 - вход информационный D12;  
20 - вход информационный D11;  
21 - вход информационный D10;  
22 - вход информационный D9;  
23 - вход информационный D8;  
24 - напряжение питания;

1. К155ТМ2 – два D-триггера.



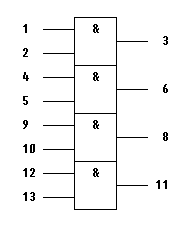
1 - инверсный вход установки "0" R1; 9 - вход Q2;  
2 - вход D1; 10 - инверсный вход установки "1" S2;  
3 - вход синхронизации C1; 11 - вход синхронизации C2;  
4 - инверсный вход установки "1" S1; 12 - вход D2;  
5 - выход Q1; 13 - инверсный вход установки "0" R2;  
6 - выход инверсный Q1; 14 - напряжение питания;  
7 - общий;  
8 - выход инверсный Q2;

1. К155ЛН1 – шесть логических элементов НЕ.



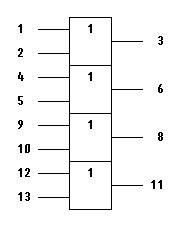
1,3,5,9,11,13 - входы;  
2,4,6,8,10,12 - выходы;  
7 - общий;  
14 - напряжение питания;

1. К155ЛИ1 – четыре логических элемента 2И.



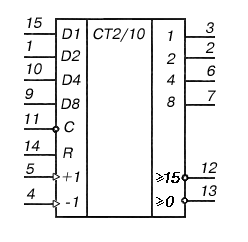
1,2,4,5,9,10,12,13 - входы;  
3,6,8,11 - выходы;  
7 - общий;  
14 - напряжение питания;

1. К155ЛЛ1 – четыре логических элемента 2ИЛИ.



1,2,4,5,9,10,12,13 - входы;  
3,6,8,11 - выходы;  
7 - общий;  
14 - напряжение питания;

1. К155ИЕ7



1 - вход информационный D2;

2 - выход второго разряда Q2;

3 - выход первого разряда Q1;

4 - вход "обратный счет";

5 - вход "прямой счет";

6 - выход третьего разряда Q3;

7 - выход четвертого разряда Q4;

8 - общий;

9 - вход информационный D8;

10 - вход информационный D4;

11 - вход предварительной записи;

12 - выход "прямой перенос";

13 - выход "обратный перенос";

14 - вход установки "0" R;

15 - вход информационный D1;

1. - напряжение питания;

8 ОПРЕДЕЛЕНИЕ ВРЕМЕННЫХ ХАРАКТЕРИСТИК И МОДЕЛИРОВАНИЕ РАБОТЫ ЦОУ

Временные характеристики работы ЦОУ рассчитываются, исходя из алгоритма функционирования ЦОУ (алгоритма исполнения МК) и схемотехнических особенностей реальных схем, составляющих процессор.

Промежуток времени, достаточный для реализации процессором любой МК, называется тактом. Другими словами, такт – это период синхросерии, обеспечивающей стабильную работу операционного устройства (ОУ). Так как любое ОУ, в том числе и проектируемое ЦОУ, состоит из управляющего устройства (управляющего автомата) и обрабатывающего блока (операционного автомата), такт операционного устройства в случае последовательной работы УУ и ОБ определяется по формуле:

,

где − время срабатывания управляющего устройства, − время срабатывания обрабатывающего блока, определяемое по времени исполнения самой длительной МО.

Расчетное значение тактовой частоты определяется величиной F=1/TОУ.

Временная диаграмма работы ОУ с учетом реальных задержек в схемах этого устройства может быть правильно построена, если учесть следующие временные соотношения:

, где  − максимальное время выборки слова из ПМП;

, где − время, необходимое для записи слова в РМК;

, где  − время срабатывания ФСМО (схема этого устройства и время срабатывания зависит от используемого способа кодирования МО),  − суммарное время срабатывания всех схем, включенных в ФА;118 нс.

, где − время исполнения в ОБ *k*-ой микрооперации (в случае синхронизации с постоянным тактом); 55 нс.

 − время срабатывания счетчика АМК (СчАМК) при естественной адресации; 

, где − цикл выборки слова из ПЗУ, на основе которого построена ПМП.

, δ=10нс - интервал δ, гарантирующий загрузку «правильного слова» в РМК.

=321 нс.

На рисунке 8.1 приведена временная диаграмма процесса исполнения МК.



Рисунок 8.1. Временная диаграмма исполнения МК (МКi 🡪 МКj)

F = 1/(321\*10^(-9))=1.321\*10^6 Гц.

Рабочая частота Fр выбирается из гостированного ряда частот {F} при условии, что FР≤0,8F.

F Р = 1.321\*10^6\*0.8= 1.0568\*10^6 Гц. Гостированная частота составляет 1МГц.

Выполним моделирование на следующем участке ГСА:

Исходными данными является адрес микрокоманды А+6 (00000110), в регистре команд хранится значение:



Старший бит установлен в единицу, следовательно в РК команда перехода. Используя мультиплексоры получаем значение проверяемого логического условия x18. Допустим x18=0, сигнал перехода не вырабатывается. Счетчик адреса команд увеличивается на единицу (00000111). В следующем такте происходит выборка следующей микрокоманды:



Старший разряд установлен в 0, следовательно команда операционная. В микрокоманде закодирована выработка шестого, седьмого и восьмого сигналов универсальной группы (y42, y43, y45) и третьего сигнала седьмой (0111) группы (y47).

Таким образом, сопоставляя результаты моделирования с таблицей кодирования и принципиальной схемой управляющего устройства, можно утверждать, что устройство работает корректно.

ЗАКЛЮЧЕНИЕ

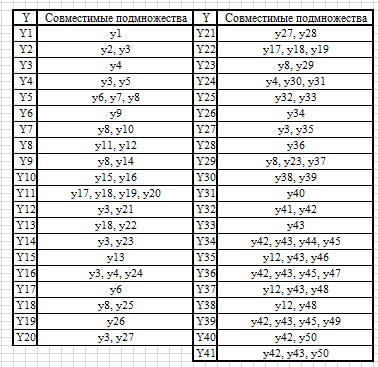
В данной курсовой работе было спроектировано центральное обрабатывающее устройство, реализующее заданную совокупность команд из системы команд абстрактной цифровой вычислительной машины. Устройство управления организовано в виде управляющего автомата с программируемой логикой.

В ходе выполнения курсовой работы было составлено описание форматов команд и обрабатываемых данных, построена граф-схема алгоритма функционирования центрального обрабатывающего устройства, структурная схема центрального обрабатывающего устройства. Также было синтезировано устройство управления с естественной адресацией микрокоманд, составлена микропрограмма функционирования ЦОУ, построена схема электрическая принципиальная управляющего устройства. Было проведено моделирование ЦОУ, которое показало, что устройство работает правильно.

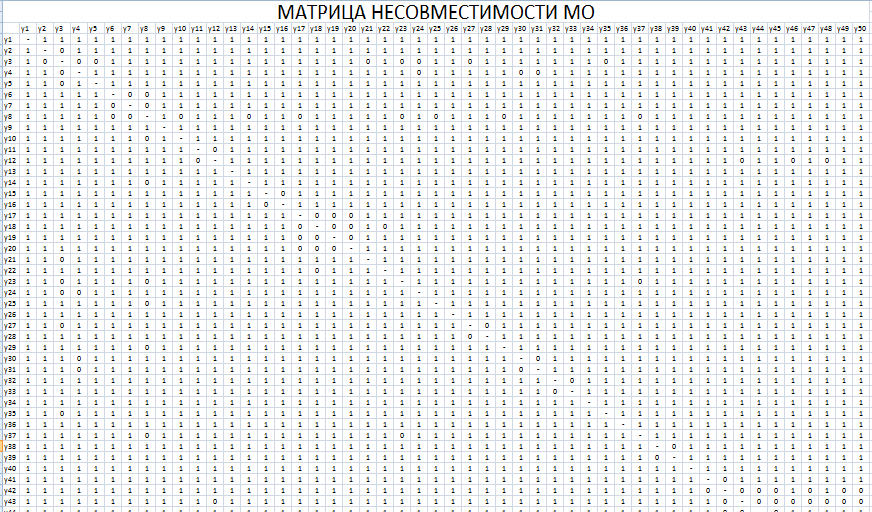
СПИСОК ЛИТЕРАТУРЫ

1. Апраксин Ю.К. Основы теории и проектирования цифровых автоматов: учеб. пособие/ Ю.К. Апраксин. – Севастополь: Изд-во СевГТУ, 2001. – 345 с.
2. Шило В.Л. Популярные цифровые микросхемы: Справочник. – М.: Радио и связь, 1987 – 352с.
3. Синтез центрального обрабатывающего устройства ЦВМ: Методические указания к курсовому проектированию по дисциплине «Цифровые ЭВМ» для студентов направления 6.050102 – «Компьютерная инженерия» дневной и заочной форм обучения/ Разраб. Ю.К.Апраксин, Т.В.Волкова. − Сева­стополь: Изд-во СевНТУ, 2008. − 36с.
4. Синтез управляющих автоматов с программируемой логикой: Методические указания к циклу лабораторных работ по дисциплине «Цифровые ЭВМ» для студентов направления 6.050102 – «Компьютерная инженерия» дневной формы обучения/ Разраб. Ю.К.Апраксин, Т.В.Волкова. − Сева­стополь: Изд-во СевНТУ, 2009. − 44 с.

ПРИЛОЖЕНИЕ А







ПРИЛОЖЕНИЕ Б

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | M | |
| X | A |
| A+0 | 1 | x11 | A+46 |
| A+1 | 1 | x12 | A+29 |
| A+2 | 1 | x13 | A+16 |
| A+3 | 0 | y8, y10 | |
| A+4 | 1 | x2 | A+4 |
| A+5 | 1 | x17 | A+11 |
| A+6 | 1 | x18 | A+9 |
| A+7 | 0 | y42, 45, y47 | |
| A+8 | 1 | x0 | A+48 |
| A+9 | 0 | y12 ,y43, y48 | |
| A+10 | 1 | x0 | A+48 |
| A+11 | 0 | y12, y48 | |
| A+12 | 0 | y8, y10 | |
| A+13 | 1 | x2 | A+13 |
| A+14 | 0 | y42, y43, y45, y49 | |
| A+15 | 1 | x0 | A+48 |
| A+16 | 0 | y41, y42 | |
| A+17 | 1 | x15 | A+25 |
| A+18 | 1 | x16 | A+21 |
| A+19 | 0 | y43 | |
| A+20 | 1 | x0 | A+48 |
| A+21 | 0 | y8, y10 | |
| A+22 | 1 | x2 | A+22 |
| A+23 | 0 | y42, y43, y44, y45 | |
| A+24 | 1 | x0 | A+48 |
| A+25 | 0 | y8, y10 | |
| A+26 | 1 | x2 | A+26 |
| A+27 | 0 | y12, y43, y46 | |
| A+28 | 1 | x0 | A+48 |
| A+29 | 1 | x14 | A+3 |
| A+30 | 0 | y8, y10 | |
| A+31 | 1 | x2 | A+31 |
| A+32 | 1 | x19 | A+41 |
| A+33 | 1 | x20 | A+36 |
| A+34 | 0 | y42, y43, y50 |  |
| A+35 | 1 | x0 | A+48 |
| A+36 | 0 | y42, y50 |  |
| A+37 | 0 | y8, y10 |  |
| A+38 | 1 | x2 | A+38 |
| A+39 | 0 | y42, y43, y44, y45 |  |
| A+40 | 1 | x0 | A+48 |
| A+41 | 0 | y40, y42 |  |
| A+42 | 0 | y8, y10 |  |
| A+43 | 1 | x2 | A+43 |
| A+44 | 0 | y42, y43, y46 |  |
| A+45 | 1 | x0 | A+48 |
| A+46 | 0 | y1 |  |
| A+47 | 1 | x0 | A+56 |
| A+48 | 1 | x21 | A+101 |
| A+49 | 1 | x22 | A+83 |
| A+50 | 1 | x23 | A+75 |
| A+51 | 1 | x24 | A+60 |
| A+52 | 1 | x25 | A+57 |
| A+53 | 1 | x26 | A+56 |
| A+54 | 0 | y40 |  |
| A+55 | 1 | x0 | A+56 |
| A+56 | - | - | - |
| A+57 | 0 | y38, y39 |  |
| A+58 | 1 | x10 | A+58 |
| A+59 | 1 | x0 | A+0 |
| A+60 | 0 | y34 |  |
| A+61 | 1 | x9 | A+64 |
| A+62 | 0 | y3, y35 |  |
| A+63 | 0 | y36 |  |
| A+64 | 1 | x3 | A+67 |
| A+65 | 0 | y13 |  |
| A+66 | 1 | x0 | A+56 |
| A+67 | 1 | x4 | A+70 |
| A+68 | 0 | y1 |  |
| A+69 | 1 | x0 | A+56 |
| A+70 | 0 | y8, y14 |  |
| A+71 | 1 | x2 | A+71 |
| A+72 | 0 | y8, y23, y37 |  |
| A+73 | 1 | x2 | A+73 |
| A+74 | 1 | x0 | A+0 |
| A+75 | 0 | y8, y29 |  |
| A+76 | 1 | x2 | A+76 |
| A+77 | 0 | y3, y23 |  |
| A+78 | 0 | y4, y30, y31 |  |
| A+79 | 1 | x5 | A+79 |
| A+80 | 1 | x8 | A+78 |
| A+81 | 0 | y32, y33 |  |
| A+82 | 1 | x0 | A+0 |
| A+83 | 1 | x1 | A+86 |
| A+84 | 0 | y1 |  |
| A+85 | 1 | x0 | A+56 |
| A+86 | 0 | y3, y23 |  |
| A+87 | 0 | y3, y4, y24 |  |
| A+88 | 0 | y6 |  |
| A+89 | 1 | x7 | A+92 |
| A+90 | 0 | y1 |  |
| A+91 | 1 | x0 | A+56 |
| A+92 | 0 | y8, y25 |  |
| A+93 | 0 | y26 |  |
| A+94 | 0 | y3, y27 |  |
| A+95 | 0 | y27, y28 |  |
| A+96 | 1 | x5 | A+96 |
| A+97 | 0 | y17, y18, y19 |  |
| A+98 | 0 | y3, y21 |  |
| A+99 | 0 | y18, y22 |  |
| A+100 | 1 | x0 | A+0 |
| A+101 | 1 | x1 | A+104 |
| A+102 | 0 | y1 |  |
| A+103 | 1 | x0 | A+56 |
| A+104 | 0 | y2, y3 |  |
| A+105 | 0 | y4 |  |
| A+106 | 0 | y3, y5 |  |
| A+107 | 0 | y6, y7, y8 |  |
| A+108 | 1 | x2 | A+108 |
| A+109 | 0 | y9 |  |
| A+110 | 0 | y8, y10 |  |
| A+111 | 1 | x2 | A+111 |
| A+112 | 0 | y11, y12 |  |
| A+113 | 1 | x3 | A+116 |
| A+114 | 0 | y13 |  |
| A+115 | 1 | x0 | A+56 |
| A+116 | 1 | x4 | A+119 |
| A+117 | 0 | y1 |  |
| A+118 | 1 | x0 | A+56 |
| A+119 | 0 | y8, y14 |  |
| A+120 | 1 | x2 | A+120 |
| A+121 | 0 | y15 |  |
| A+122 | 1 | x5 | A+122 |
| A+123 | 0 | y17, y18, y19, y20 |  |
| A+124 | 0 | y3, y21 |  |
| A+125 | 0 | y18, y22 |  |
| A+126 | 1 | x6 | A+128 |
| A+127 | 1 | x0 | A+56 |
| A+128 | 1 | x0 | A+0 |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| MП | | | X | X | X | X | X | A | A | A | A | A | A | A | A | - | - | - |
| A | АДРЕС | B | У | У | У | У | У | У | У | У | Г | Г | Г | Г | К | К | К | К |
| A+0 | 00000000 00000001 00000010 00000011 00000100 00000101 00000110 00000111 00001000 00001001 00001010 00001011 00001100 00001101 00001110 00001111 00010000 00010001 00010010 00010011 00010100 00010101 00010110 00010111 00011000 00011001 00011010 00011011 00011100 00011101 00011110 00011111 00100000 00100001 00100010 00100011 00100100 00100101 00100110 00100111 00101000 00101001 00101010 00101011 00101100 00101101 00101110 00101111 00110000 00110001 00110010 00110011 00110100 00110101 00110110 00110111 00111000 00111001 00111010 00111011 00111100 00111101 00111110 00111111 01000000 01000001 01000010 01000011 01000100 01000101 01000110 01000111 01001000 01001001 01001010 01001011 01001100 01001101 01001110 01001111 01010000 01010001 01010010 01010011 01010100 01010101 01010110 01010111 01011000 01011001 01011010 01011011 01011100 01011101 01011110 01011111 01100000 01100001 01100010 01100011 01100100 01100101 01100110 01100111 01101000 01101001 01101010 01101011 01101100 01101101 01101110 01101111 01110000 01110001 01110010 01110011 01110100 01110101 01110110 01110111 01111000 01111001 01111010 01111011 01111100 01111101 01111110 01111111 10000000 10000001 10000010 10000011 10000100 10101011 10000101 10000110 10000111 10001000 10001001 10001010 10001011 10001100 10001101 10001110 10001111 10010000 10010001 10010010 10010011 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | X | X | X |
| A+1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | X | X | X |
| A+2 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | X | X | X |
| A+3 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 |
| A+4 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | X | X | X |
| A+5 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | X | X | X |
| A+6 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | X | X | X |
| A+7 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 |
| A+8 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | X | X | X |
| A+9 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| A+10 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | X | X | X |
| A+11 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| A+12 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 |
| A+13 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | X | X | X |
| A+14 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| A+15 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | X | X | X |
| A+16 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 |
| A+17 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | X | X | X |
| A+18 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | X | X | X |
| A+19 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| A+20 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | X | X | X |
| A+21 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 |
| A+22 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | X | X | X |
| A+23 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| A+24 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | X | X | X |
| A+25 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 |
| A+26 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | X | X | X |
| A+27 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| A+28 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | X | X | X |
| A+29 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | X | X | X |
| A+30 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 |
| A+31 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | X | X | X |
| A+32 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | X | X | X |
| A+33 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | X | X | X |
| A+34 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| A+35 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | X | X | X |
| A+36 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| A+37 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 |
| A+38 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | X | X | X |
| A+39 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| A+40 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | X | X | X |
| A+41 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| A+42 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 |
| A+43 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | X | X | X |
| A+44 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| A+45 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | X | X | X |
| A+46 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| A+47 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | X | X | X |
| A+48 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | X | X | X |
| A+49 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | X | X | X |
| A+50 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | X | X | X |
| A+51 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | X | X | X |
| A+52 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | X | X | X |
| A+53 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | X | X | X |
| A+54 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| A+55 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | X | X | X |
| A+56 | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| A+57 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 |
| A+58 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | X | X | X |
| A+59 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X |
| A+60 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 |
| A+61 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X |
| A+62 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| A+63 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| A+64 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | X | X | X |
| A+65 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| A+66 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | X | X | X |
| A+67 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | X | X | X |
| A+68 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| A+69 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | X | X | X |
| A+70 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| A+71 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | X | X | X |
| A+72 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 |
| A+73 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | X | X | X |
| A+74 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| A+75 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| A+76 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | X | X | X |
| A+77 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 |
| A+78 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 |
| A+79 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | X | X | X |
| A+80 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | X | X | X |
| A+81 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 |
| A+82 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| A+83 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | X | X | X |
| A+84 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| A+85 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | X | X | X |
| A+86 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 |
| A+87 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| A+88 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| A+89 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | X | X | X |
| A+90 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| A+91 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | X | X | X |
| A+92 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 |
| A+93 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 |
| A+94 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 |
| A+95 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 |
| A+96 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | X | X | X |
| A+97 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| A+98 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| A+99 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 |
| A+100 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| A+101 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | X | X | X |
| A+102 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| A+103 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | X | X | X |
| A+104 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 |
| A+105 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| A+106 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 |
| A+107 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| A+108 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | X | X | X |
| A+109 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| A+110 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 |
| A+111 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | X | X | X |
| A+112 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |
| A+113 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | X | X | X |
| A+114 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| A+115 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | X | X | X |
| A+116 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | X | X | X |
| A+117 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| A+118 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | X | X | X |
| A+119 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| A+120 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | X | X | X |
| A+121 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 |
| A+122 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | X | X | X |
| A+123 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 |
| A+124 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| A+125 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 |
| A+126 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X |
| A+127 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | X | X | X |
| A+128 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X |